



Mittuniversitetet
MID SWEDEN UNIVERSITY

Disputationsdatum: 29/5 kl 13.15 i sal O102

Institution: ITM

Ämne: Elektronik

Författare: Jon Alfredsson

Titel: Limitations of Subthreshold Digital Floating-Gate Circuits in Present and Future Nanoscale CMOS Technologies

ABSTRACT (för svensk sammanfattning, se längre ned)

The people working within the electronic industry and who are involved in electronic design are aware that one of the most critical future issues in electronics involves power consumption. The ITRS (International Technology Roadmap for Semiconductors), a branch organization, has even named the reduction of power consumption as one of the five major “grand challenges” defined for the future in integrated electronics. In order to reduce power consumption, one approach has involved reduction in the power supply, but the drawback with this method is that there is also a reduction in speed performance and noise margins. Floating-gate circuit technique (FGMOS) has been suggested as a technique for improving performance when power supply is reduced. This is particularly desirable for those events when the supply voltage is reduced to subthreshold for the transistors.

In this thesis, the focus has been to investigate the behavior of certain floating-gate circuits working under subthreshold conditions and to compare their performance to conventional static CMOS when they are designed for present nanoscale technologies. The performance parameters investigated in this case are based mainly on switching speed and power consumption. They can for example be used for trade-offs and combined into Power-Delay Product (PDP) and Energy-Delay Product (EDP). In order to obtain an overview with regards to how the performance varies, the circuits have firstly been designed and simulated, bearing in mind the best case performance, and then, step by step, the conditions for the simulations have been changed. For example, more parasitic components are taken into account, refresh circuits are introduced to compensate for charge leakage and process variations are estimated. This has created different results and the simulation scenarios have become more realistic and have resulted in reduced performance.

Another of the grand challenges for the future, as is defined by ITRS, is Design for Manufacturability (DFM). This is an important knowledge for electronic designers and also covered in this thesis. It involves the type of DFM that is required from the viewpoint of a FGMOS subthreshold designer in order to succeed.

In addition to the investigations into the performance of the parameters stated above, the thesis also includes guidelines on how to select floating-gate capacitances, how a large fan-in the FGMOS circuit is able to handle in subthreshold and also how the performance will be limited by the use of different types of refresh circuits.

The simulations have been performed in a 130 nm process (except for Monte Carlo simulations where a 90 nm process was used) and the results have been observed. In the best

case scenario the simulations show that our FGMOS designs has the potential to achieve an EDP up to 260 times better performance in comparison to CMOS at 150 mV power supply. Simulations of the same circuits with plate capacitor parasitics included in the FGMOS model indicate that the EDP performance can be increased by a factor of as much as 37 for FGMOS compared to CMOS. For an improved design of an FGMOS D-latch, the simulations show that the EDP performance can have a factor of 2 worse than EDP for a CMOS design in the best case. Also, the floating-gate capacitance should be minimized and fan-in should not be considered larger than 3 if the performance is to be maintained. Monte Carlo simulations performed to estimate yield when process variations and transistor mismatch are taken into account also indicate that it will not be possible to achieve 100% yield below 250 mV for the minimum sized FGMOS circuits.

According to the Monte Carlo simulations and estimations, problems will probably arise in the manufacture of the FGMOS circuits with 100% yield and these will mainly be due to charge leakages and reduced noise margins. The present process technologies in use require recharge circuits for FGMOS because of the significant charge leakages and for future nanoscale technologies there will probably be continuing trends towards reduced sizes, thinner gate oxide and larger leakages. The conclusion from this research will show that at present, FGMOS in subthreshold is not a good alternative to CMOS and this will continue to be the case until new types of low-leakage processes are been developed.

SAMMANDRAG

Elektronikindustrin går idag allt mer mot komplexa system där ström och effektförbrukning önskas hållas på ett minimum. Drivande i denna utveckling är applikationer inom bärbar elektronik som behöver dra lite ström för att kunna uppnå lång batteridrifttid. Till exempel kan nämnas ökningen av antal bärbara datorer och trådlösa sensornätverk som skett de senaste åren. Marknaden vill ha produkter som klarar sig längre på samma batterikapacitet och för samhället också en energivinst i att kunna reducera den förbrukade effekten.

Branschorganisationen ITRS (International Roadmap for Semiconductors) har definierat reduktion av effektförbrukning som en av fem huvudutmaningar för framtidens elektronik. Denna avhandling grundar sig på en designteknik kallad floating-gate (FGMOS) som tidigare har verkat lovande inom elektronikdesign för låg effektförbrukning och samtidigt kunna behålla hög switchningshastighet. Simuleringar av floating-gate kretsar har gjorts på subthreshold-nivå för att få en inblick över hur bra prestanda man kan få med FGMOS jämfört med konventionell CMOS då det gäller effektförbrukning och hastighet. Med subthreshold menas att matningsspänningen för de simulerade kretsarna reduceras till att ligga under transistorernas tröskelspänning. Simuleringarna har gjorts i 90 nm och 130 nm processteknologi. En reduktion av matningsspänningen till subthreshold nivå är ett av de effektivaste sätten att få ner effektförbrukningen för elektriska kretsar. Några av de stora nackdelarna med subthreshold är dock att switchningshastigheten för kretsar försämras drastiskt och strömläckage i transistorer får en mycket större betydelse. För FGMOS kretsar designade i dagens nano-CMOS teknologier är även läckage av floating-gate laddning ett problem och många återuppladdningstekniker (recharge-tekniker) har därför tagits fram för FGMOS.

Parametrar vars inverkan på prestanda har studerats vid simuleringarna är kapacitansens storlek, storlek på maximal fan-in och inverkan vid anslutning av s.k. "recharge"-kretsar till floating-gate noden.

Idealt kan FGMOS-inverterare ge 230 gånger bättre Energy-Delay Produkt (EDP) jämfört med CMOS och för ett mer realistiskt fall ligger förbättringen på max 37 gångers förbättring

och för vissa kretsar ses ingen möjlighet till förbättring av EDP. Simuleringar med olika fan-in leder också till slutsatsen att FGMOS inte kan användas för kretsar när fan-in överstiger 5 och rekommenderas inte generellt för kretsar med fan-in över 3 då den ger en sämre EDP jämfört med CMOS (gäller den simulerade processteknologin). Simuleringar har även gjorts av en heladderare och en D-latch designade i FGMOS. Resultaten av dessa simuleringar indikerar att heladderaren kan få upp till 9 gånger bättre EDP medan D-latchen som bäst blir 2 gånger sämre jämfört med CMOS.

En av de övriga huvudutmaningarna för framtidens elektronik är enligt ITRS att kunna göra Design för Tillverkning (Design for Manufacturability, DFM). Att kunna göra FGMOS design i subthreshold enligt DFM är viktigt med tanke på den låga matningsspänning som används. Även brusmarginalen spelar en stor roll dessa låga spänningar. Denna är av avgörande betydelse för om kretsen kommer att fungera vid tillverkning.

Monte Carlo simuleringar av FGMOS kretsar har också gjorts inom ramen för denna avhandling för att se hur stor en uppskattade verkningsgraden blir för tillverkade kretsar. Resultaten visar att den låga brusmarginalen för FGMOS gör det svårt att uppfylla krav på robusta signalnivåer och därmed även funktionalitet. Slutsatsen är att FGMOS inte kan rekommenderas för användning i subthreshold med nuvarande och framtida predikterade processteknologier. För att FGMOS skall kunna användas måste robustheten ökas avsevärt och strömläckaget behöver reduceras markant till exempel genom framtagande av nya mer isolerande material.